

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004818

International filing date: 17 March 2005 (17.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-083309  
Filing date: 22 March 2004 (22.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 3 月 2 2 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 0 8 3 3 0 9

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

J P 2 0 0 4 - 0 8 3 3 0 9

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

出 願 人  
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 02-00437  
【提出日】 平成16年 3月22日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 29/786  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町2 1 番地 ローム株式会社内  
    【氏名】 奥山 優  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町2 1 番地 ローム株式会社内  
    【氏名】 下地 規之  
【特許出願人】  
    【識別番号】 000116024  
    【氏名又は名称】 ローム株式会社  
    【代表者】 佐藤 研一郎  
【代理人】  
    【識別番号】 100098464  
    【弁理士】  
    【氏名又は名称】 河村 洸  
    【電話番号】 06-6303-1910  
【手数料の表示】  
    【予納台帳番号】 042974  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9910321

【書類名】 特許請求の範囲

【請求項 1】

基板と、該基板上に設けられるソース・ドレイン電極の一方とする第1導電層と、該第1導電層の上に設けられる有機半導体層と、該有機半導体層の上に設けられるソース・ドレイン電極の他方とする第2導電層と、前記有機半導体層の側面または前記第2導電層の一部が除去されて露出する前記有機半導体層の表面および前記第2導電層の側面に絶縁層を介して設けられるゲート電極とからなるFETを有する有機半導体素子。

【請求項 2】

前記第1導電層と有機半導体層との間、および／または前記第2導電層と前記有機半導体層との間にエネルギー障壁を低くする有機半導体層が設けられてなる請求項1記載の有機半導体素子。

【請求項 3】

透明基板と、該透明基板上に設けられる透明電極と、該透明電極上に設けられる有機EL部と、該有機EL部上に積層して設けられる駆動素子、スイッチング素子およびキャパシタとからなり、前記駆動素子が請求項1または2記載の構造のFETである有機EL表示装置。

【請求項 4】

前記駆動素子が前記有機EL部上に設けられ、該駆動素子の上面に形成されるゲート電極用の第3導電層の一部を前記スイッチング素子のソース・ドレイン電極の一方とし、該第3導電層の一部上に有機半導体層およびソース・ドレイン電極の他方とする第4導電層が積層されることにより形成される縦型FETにより前記スイッチング素子が形成されてなる請求項3記載の有機EL表示装置。

【請求項 5】

前記駆動素子およびスイッチング素子が、前記有機EL部上に平面的に駆動素子領域とスイッチング素子領域とに分けて設けられ、前記スイッチング素子は、スイッチング素子用有機半導体層が前記駆動素子の有機半導体層と連続して、または同時に形成され、該有機半導体層の同じ面に接して、一対のソース・ドレイン電極が離間して設けられる横型FETである請求項3記載の有機EL表示装置。

【請求項 6】

前記駆動素子のソース・ドレイン電極の一方とする有機EL部表面に駆動素子用の第1有機半導体層が設けられ、該第1有機半導体層上に部分的に駆動素子用ソース・ドレイン電極の他方とする第2導電層が設けられ、露出部表面に駆動素子用ゲート絶縁膜とする第1絶縁層が設けられ、該第1絶縁層上に駆動素子用ゲート電極およびスイッチング素子用ソース・ドレイン電極の一方とする第3導電層が設けられ、スイッチング素子領域における該第3導電層上にスイッチング素子用の第2有機半導体層が設けられ、該第2有機半導体層上に部分的にスイッチング素子用ソース・ドレイン電極の他方とする第4導電層が設けられ、駆動素子領域における前記第3導電層上、および前記スイッチング素子領域における前記第2有機半導体層の露出部および第4導電層の上に、キャパシタの誘電体層およびスイッチング素子用ゲート絶縁膜とする第2絶縁層が設けられ、前記スイッチング素子領域における該第2絶縁層上にスイッチング素子用ゲート電極とする第5導電層、および前記駆動素子領域における前記第2絶縁層上にキャパシタの電極とする第6導電層がそれぞれ設けられてなる請求項4記載の有機EL表示装置。

【請求項 7】

前記スイッチング素子領域における前記有機EL部上に第3絶縁層が設けられ、該第3絶縁層上および前記駆動素子領域における前記有機EL部上に、前記駆動素子用およびスイッチング素子用の第1有機半導体層が設けられ、前記駆動素子領域における該第1有機半導体層上に部分的に駆動素子用ソース・ドレイン電極の他方とする第2導電層が設けられると共に、前記スイッチング素子領域における前記第1有機半導体層上にスイッチング素子用ソース電極およびドレイン電極とする第7および第8の導電層が分離して設けられ、前記駆動素子領域における前記第1有機半導体層の露出部および第2導電層上に駆動素

子用ゲート絶縁膜とする第1絶縁層が設けられると共に、前記スイッチング素子領域における前記第1有機半導体層の露出部および第7および第8の導電層上にスイッチング素子用ゲート絶縁膜である第4絶縁層が前記第7または第8の導電層のいずれか一方の一部が露出するように設けられ、前記第1絶縁層上に駆動素子用ゲート電極とする第3導電層が前記第7または第8の導電層の露出部と電氣的に接続されるように設けられると共に、前記第4絶縁層上にスイッチング素子用ゲート電極とする第5導電層が設けられ、前記第3導電層上にキャパシタの誘電体層とする第2絶縁層が設けられ、該第2絶縁層上にキャパシタの電極とする第6導電層がそれぞれ設けられてなる請求項5記載の有機EL表示装置。

【請求項8】

前記有機EL部と前記第1有機半導体層との間に前記有機EL部の上部電極および前記駆動素子のソース・ドレイン電極とする第1導電層が設けられてなる請求項6または7記載の有機EL表示装置。

【書類名】 明細書

【発明の名称】 有機半導体素子およびそれを用いた有機EL表示装置

【技術分野】

【0001】

本発明は、有機半導体を用いた電界効果型トランジスタ（以下、FETという）などを含む有機半導体素子およびそれを用いた有機EL表示装置に関する。さらに詳しくは、有機半導体を用いながら、チャネル長を非常に短くすることができると共に、有機EL部と積層するだけで表示装置を構成することが可能な構造の有機半導体素子およびそれを用いた有機EL表示装置に関する。

【背景技術】

【0002】

従来の有機半導体層を用いたFETの構造は、図9に示されるような構造が知られている。すなわち、図9（a）に示される構造は、ボトムコンタクト（BC）型と呼ばれるもので、たとえばシリコン基板からなるゲート電極31上の絶縁膜32の上に一对のソース・ドレイン電極33、34が設けられ、その表面に有機半導体層35が設けられることにより、ソース・ドレイン電極33、34間の有機半導体層35をチャネル領域とするものである。この構造は、ソース・ドレイン電極を、フォトリソグラフィ技術を用いて形成することができるため、精細なパターンで形成することができるが、ソース・ドレイン電極の段差部分に有機半導体層35を設けるため、有機半導体層35のカバレッジが悪く、チャネル領域となる有機半導体層35と両電極33、34の底面コーナ部との間に空隙36ができやすく、キャリア注入効率が悪くなるという問題がある。

【0003】

また、図9（b）に示される構造は、トップコンタクト（TC）型と呼ばれるもので、ゲート電極31上の絶縁膜32上に有機半導体層35が設けられ、その上にソース・ドレイン電極33、34が形成されることにより、ソース・ドレイン電極33、34の下でその間にある有機半導体層35をチャネル領域とするものである。この構造は、有機半導体層35のカバレッジの問題はないが、有機半導体層35を形成した後に電極を形成する必要がある。しかし、レジストも有機材料であるためフォトリソグラフィ技術を用いることができず、金属板からなるシャドウマスク（メタルマスク）を用いて有機半導体層35を形成する必要がある。シャドウマスクでは、解像度は25 $\mu$ m程度であり、精細なパターンを形成することができず、チャネル長を短縮することができないという問題がある。

【0004】

さらに、図9（c）に示される構造は、トップアンドボトムコンタクト（TBC）型と呼ばれるもので、絶縁膜32上にソース・ドレイン電極の一方33が部分的に設けられ、その上および露出する絶縁膜32上に有機半導体層35が設けられ、さらにその上にソース・ドレイン電極の他方34が設けられることにより、ソース・ドレイン電極の一方33の側面と他方34の段差部分との間の有機半導体層35をチャネル領域とするものである（たとえば特許文献1参照）。この構造では、チャネル長を有機半導体層35の厚さで制御することができるため、チャネル長の短縮は容易であるが、最初のBC型と同様に、有機半導体層がソース・ドレイン電極33の段差部に形成されるため、そのカバレッジが悪く、キャリア注入効率が低下するという問題がある。

【特許文献1】 特開2003-258265号公報（たとえば図4）

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述のように、従来の有機半導体を用いたFETは、有機層に段差部を有するとカバレッジが悪いためキャリア注入効率が悪く、平らな有機半導体層を用いようとする、精細なソース・ドレイン電極を形成することができないため、チャネル長の短縮を図ることができず、いずれの構造にしても低抵抗のチャネルを形成することができないという問題がある。



#### 【0006】

また、このような状況に起因して、たとえば有機EL半導体を用いたアクティブ表示装置においても、その駆動素子として有機半導体素子を用いることができず、駆動素子としてはポリシリコンなどのシリコン系半導体を用いられている。そのため、有機半導体とシリコン系半導体の両方を用いなければならない。さらに、シリコン系半導体を用いて駆動素子を形成する場合、フォトリソグラフィ技術を用いることが不可欠であるが、前述のように有機半導体を成膜した後にフォトリソグラフィ技術を用いることはできないため、有機EL部上に駆動素子を形成することができない。一方、駆動素子を基板側に形成すると、表面側から光を取り出さなければならないが、有機EL半導体層を積層した後は、高温熱処理をすることができないため、低抵抗の透明電極を表面側に形成することができない。そのため、後述する図5(d)に平面説明図が示されるように、発光部と駆動素子部(T<sub>r</sub>およびキャパシタCAPA)とを平面的に分離して形成しなければならず、表示部の面積が小さくなって開口率が低下するという問題がある。

#### 【0007】

本発明は、このような問題を解決するためになされたもので、チャネル長を小さく制御し得ると共に、段差部に伴うキャリア注入効率を低下させない構造のFETを有する有機半導体素子を提供することを目的とする。

#### 【0008】

本発明の他の目的は、アクティブ型の有機発光表示装置を半導体層としては全て有機半導体層で構成すると共に、発光部と駆動素子やキャパシタ部分とを積層構造とし、開口率の大きい表示部とし得る有機EL表示装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0009】

本発明による有機半導体素子は、基板と、該基板上に設けられるソース・ドレイン電極の一方とする第1導電層と、該第1導電層の上に設けられる有機半導体層と、該有機半導体層の上に設けられるソース・ドレイン電極の他方とする第2導電層と、前記有機半導体層の側面または前記第2導電層の一部が除去されて露出する前記有機半導体層の表面および前記第2導電層の側面に絶縁層を介して設けられるゲート電極とからなるFETを有している。

#### 【0010】

前記第1導電層と有機半導体層との間、および／または前記第2導電層と前記有機半導体層との間にエネルギー障壁を低くする有機半導体層が設けられることにより、低い動作電圧で電流を流しやすくなるため好ましい。本発明の構造では、有機半導体層がソース・ドレイン電極によりサンドイッチされる構造で、有機半導体層の両面でソース・ドレイン電極と接触する構造であるためとくにその効果大きい。

#### 【0011】

本発明による有機EL表示装置は、透明基板と、該透明基板上に設けられる透明電極と、該透明電極上に設けられる有機EL部と、該有機EL部上に積層して設けられる駆動素子、スイッチング素子およびキャパシタとからなり、前記駆動素子が請求項1または2記載の構造のFETで構成されている。ここに有機EL部とは、有機半導体層を積層して発光部が形成された部分を意味する。

#### 【0012】

前記駆動素子が前記有機EL部上に設けられ、該駆動素子の上面に形成されるゲート電極用の第3導電層の一部を前記スイッチング素子のソース・ドレイン電極の一方とし、該第3導電層の一部上に有機半導体層およびソース・ドレイン電極の他方とする第4導電層が積層されることにより形成される縦型FETにより前記スイッチング素子が形成されてもよい。また、前記駆動素子およびスイッチング素子が、前記有機EL部上に平面的に駆動素子領域とスイッチング素子領域とに分けて設けられ、前記スイッチング素子は、スイッチング素子用有機半導体層が前記駆動素子の有機半導体層と連続して、または同時に形成され、該有機半導体層の同じ面に接して、一対のソース・ドレイン電極が離間して設け

られる横型FETであってもよい。

#### 【0013】

具体的構造としては、前記駆動素子のソース・ドレイン電極の一方とする有機EL部表面に駆動素子用の第1有機半導体層が設けられ、該第1有機半導体層上に部分的に駆動素子用ソース・ドレイン電極の他方とする第2導電層が設けられ、露出部表面に駆動素子用ゲート絶縁膜とする第1絶縁層が設けられ、該第1絶縁層上に駆動素子用ゲート電極およびスイッチング素子用ソース・ドレイン電極の一方とする第3導電層が設けられ、スイッチング素子領域における該第3導電層上にスイッチング素子用の第2有機半導体層が設けられ、該第2有機半導体層上に部分的にスイッチング素子用ソース・ドレイン電極の他方とする第4導電層が設けられ、駆動素子領域における前記第3導電層上、および前記スイッチング素子領域における前記第2有機半導体層の露出部および第4導電層の上に、キャパシタの誘電体層およびスイッチング素子用ゲート絶縁膜とする第2絶縁層が設けられ、前記スイッチング素子領域における該第2絶縁層上にスイッチング素子用ゲート電極とする第5導電層、および前記駆動素子領域における前記第2絶縁層上にキャパシタの電極とする第6導電層がそれぞれ設けられる構造にすることができる。

#### 【0014】

この構造にすることにより、駆動素子のゲート電極とスイッチング素子のソース・ドレイン電極とを同時に連続して形成することができ順次積層するだけで全ての素子を形成することができ、非常に簡単な製造工程で形成することができると共に、キャパシタの電極と駆動素子のゲート電極とを共用することができる。

#### 【0015】

さらに他の具体的構造としては、前記スイッチング素子領域における前記有機EL部上に第3絶縁層が設けられ、該第3絶縁層上および前記駆動素子領域における前記有機EL部上に、前記駆動素子用およびスイッチング素子用の第1有機半導体層が設けられ、前記駆動素子領域における該第1有機半導体層上に部分的に駆動素子用ソース・ドレイン電極の他方とする第2導電層が設けられると共に、前記スイッチング素子領域における前記第1有機半導体層上にスイッチング素子用ソース電極およびドレイン電極とする第7および第8の導電層が分離して設けられ、前記駆動素子領域における前記第1有機半導体層の露出部および第2導電層上に駆動素子用ゲート絶縁膜とする第1絶縁層が設けられると共に、前記スイッチング素子領域における前記第1有機半導体層の露出部および第7および第8の導電層上にスイッチング素子用ゲート絶縁膜である第4絶縁層が前記第7または第8の導電層のいずれか一方の一部が露出するように設けられ、前記第1絶縁層上に駆動素子用ゲート電極とする第3導電層が前記第7または第8の導電層の露出部と電氣的に接続されるように設けられると共に、前記第4絶縁層上にスイッチング素子用ゲート電極とする第5導電層が設けられ、前記第3導電層上にキャパシタの誘電体層とする第2絶縁層が設けられ、該第2絶縁層上にキャパシタの電極とする第6導電層がそれぞれ設けられる構造にすることができる。

#### 【0016】

この構造にすれば、駆動素子用有機半導体層とスイッチング素子用有機半導体層とを連続的に同時に形成することができるため、キーとなる有機半導体層の形成工程を1回で済ませることができる。この場合、スイッチング素子が横型のFETになるが、スイッチング素子はチャネル長がそれほど厳密でなくてもよいので、シャドウマスクを用いてソース・ドレイン電極を形成することができる。

#### 【0017】

前記有機EL部と前記第1有機半導体層との間に前記有機EL部の上部電極および前記駆動素子のソース・ドレイン電極とする第1導電層が設けられることにより、低抵抗の第1導電層により電流が拡散し、有機EL表示部の全体に亘って電流を拡散させることができ、スイッチング素子の下部でも発光し、全体で明るく発光させることができるため好ましい。

#### 【発明の効果】



#### 【0018】

本発明の有機半導体素子の構造にすることにより、チャネル領域は、有機半導体層の側面、または第2導電層の側面近傍のゲート電極と第1導電層とが対向する部分の有機半導体層に形成され、チャネル長は有機半導体層の厚さで定まるため、チャネル長をナノメートルオーダーで、非常に精度よく制御することができる。しかも、有機半導体層はソース・ドレイン電極と共に平坦な積層構造で形成されており、段差によるカバレッジの問題は生じない。その結果、キャリアの注入、引き出し効率が向上すると共に、正確な寸法で所望のチャネル長のFETを形成することができる。そのため、ドレイン電流の増加、動作電圧の低減などトランジスタ特性を大幅に向上させることができる。

#### 【0019】

さらに、ゲート電極が上面に形成されるため、たとえば表示装置の駆動素子のゲート電極にスイッチング素子のソース・ドレインを接続する場合や、駆動素子のゲートにキャパシタを接続する制御回路を形成する場合でも、順次上面側に積層することにより、簡単に形成することができ、とくに有機発光(EL)表示装置に適用すれば、有機EL部(発光部)と共に積層するだけで形成することができる。

#### 【0020】

その結果、有機半導体を用いながら、非常に短チャネル長のFETを有する半導体素子が得られ、しかも、有機半導体層の膜厚でチャネル長を制御することができるため、フォトリソグラフィ技術を用いることなく、ナノメートルオーダーの非常に厳密なチャネル長のFETを形成することができ、有機発光(EL)表示装置の駆動素子として用いることができる。しかも、単純な積層構造のみで形成することができるため、また、チャネル部分も自己整合的に形成されるため、プロセスコストを下げることができ、非常に安価に得ることができる。

#### 【0021】

また、本発明の有機EL表示装置の構造にすることにより、駆動素子がフォトリソグラフィ技術を用いなくても、チャネル長が短く、キャリアの注入および引出し効率の優れたFETが得られるため、また、有機EL部上に単純な積層構造だけで駆動素子やキャパシタを形成することができ、駆動素子などを表示部と並列に配置する必要がないため、各画素面積の大部分を有機EL部で構成することができる。その結果、非常に開口率を向上させることができ、鮮明な表示をすることができる有機EL表示装置が非常に安価に得られる。さらに、駆動素子が縦型構造で縦方向に電流が流れるため、有機EL部と連続的に電流が流れる。そのため、無駄な経路がなく、低抵抗で電流を流すことができると共に、有機EL部の上面電極や駆動素子用下面側のソース・ドレイン電極がなくても、駆動素子から有機EL部に電流を流すことができる。その結果、高性能なアクティブマトリクス型の有機発光(EL)表示装置を安価に得ることができ、画像表示装置の新たな発展に大きく寄与する。

#### 【発明を実施するための最良の形態】

#### 【0022】

つぎに、図面を参照しながら本発明の有機半導体素子およびそれを用いた有機EL表示装置について説明をする。本発明による有機半導体素子は、図1にその一実施形態の断面説明図が示されるように、基板1上に、ソース・ドレイン電極の一方とする第1導電層2が設けられ、その第1導電層2の上に有機半導体層3およびソース・ドレイン電極の他方とする第2導電層4が設けられている。図1に示される例では、有機半導体層3および第2導電層4が第1導電層2よりも小さく形成され、第1導電層2の一部が露出する構造に形成されている。そして、その表面にゲート絶縁膜とする絶縁層5を介してゲート電極(第3導電層)6が設けられることにより形成されるFETを有している。なお、基板1は他の層に比して非常に厚いが、以下の図も含めて図では厚さの関係については示されていない。

#### 【0023】

基板1は、ガラス、アルミナ焼結体などの無機材料、ポリイミドフィルム、ポリエステ

ルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリバラキシレン膜などの各種絶縁性プラスチックなどの他、これらの無機物と有機物とのハイブリッド材料、第1導電層と兼ねた半導体基板などの導電性基板などでもよく、目的に応じてこの有機半導体素子の各膜を積層し、デバイスを保持するのに十分な強度を備えたものであればよい。後述する有機EL表示装置として用いる場合には、有機発光部が形成された基板の全体を意味する。有機半導体素子のみを作製する場合には、プラスチック基板を用いると、軽量でフレキシブルな有機TFTを作製することができる。

#### 【0024】

ソース・ドレイン電極とする第1導電層2および第2導電層4は、導電性に優れ、かつ、基板や有機半導体層との密着性がよく、キャリアの注入や引出しの効率の高い金属、または導電性有機（無機）材料、またはこれらの錯体材料が用いられる。具体的には、p形の有機半導体層とオーミック接触を取るためには、仕事関数の大きい金属が好ましく、金、白金などを用いることが好ましい。しかし、これらの材料には限定されない。また、半導体層表面にドーパントが高密度にドーピングされている場合には、金属・半導体間をキャリアがトンネルすることが可能となり、金属の材質によらなくなるため、後述するゲート電極材料として挙げる金属材料を用いることもできる。これらの導電層2、4は、低抵抗層として利用できる程度の厚さに形成される。

#### 【0025】

有機半導体層3としては、オン・オフ比が高く、キャリア輸送性に優れ、絶縁層や電極材料と密着性のよいものが用いられ、 $\pi$ 電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機ケイ素化合物などを用いることができる。具体的には、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素などを用いることができるが、これらの材料に限定されるものではない。この有機半導体層3は、所望のチャネル長に応じた厚さに形成される。

#### 【0026】

ゲート絶縁膜とする絶縁層5としては、塗布法が可能なポリクロロビレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミドなどの有機材料が好ましい。また、既存のパターンプロセスを用いることができる $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{Al}_2\text{O}_3$ などの無機材料を用いることもできる。もちろんこれらの材料に限定されるものではないし、これらの材料でも、2種以上併用することもできる。この絶縁層5は、絶縁性に優れ、ゲート電極に印加され得る電圧に耐えられる耐圧を確保する厚さに形成される。

#### 【0027】

ゲート電極（第3導電層）6としては、電極形成プロセスが簡単な塗布法を用いることができるポリアニリン、ポリチオフェンなどの有機材料、あるいは導電性インクが望ましい。また、金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、ニッケルなどの金属や、これら金属を用いた合金や、ポリシリコン、アモルファスシリコン、スズ酸化物、酸化インジウム、インジウム・スズ酸化物（ITO）などの無機材料でも、シャドウマスクを用いた真空蒸着法などにより用いることもできる。また、これらの材料を2種以上併用しても構わない。

#### 【0028】

この有機半導体を製造する方法の一例について、図2に示される工程図を参照しながら、具体例により説明をする。まず、図2(a)に示されるように、ソース・ドレイン電極の一方とする第1導電層2を塗布法などにより形成する。この第1導電層2は、たとえばAuなどを真空蒸着により形成することもできる。つぎに、表面にマスクを設けて、図2(b)に示されるように、第1導電層2が一部露出するように、有機半導体層3を形成する。つぎに、同じマスクを用いて、図2(c)に示されるように、有機半導体層3の上に、ソース・ドレイン電極の他方とする第2導電層4を形成する。その後、表面全面に絶縁

層5を形成する。ついで、その表面にゲート電極6を形成する。その結果、図1に示される断面構造を有するFETが形成される。なお、以上の方法では、塗布法により各層を形成したが、シャドウマスクを用いて真空蒸着により形成することもできる。

#### 【0029】

本発明の有機半導体素子によれば、ソース・ドレイン電極とする第1および第2導電層2、4の間にサンドイッチされた有機半導体層3の側面に、絶縁層5を介してゲート電極6が位置するように形成されている。そのため、有機半導体層3のゲート電極6と対向する有機半導体層3の側面がチャンネル領域となり、ゲート電極6による制御により、チャンネルがオンオフし、FET動作をする。

#### 【0030】

この構造では、有機半導体層3とソース・ドレイン電極となる第1および第2導電層2、4のいずれとの界面も平坦で、密着性が高いため、キャリアの注入および引出しの効率は非常に高い。なお、絶縁層5およびゲート電極6が有機半導体層3と第1導電層2との段差部に形成されるため、カバレッジが悪く、コーナ部に絶縁層が十分に充填されない可能性はあるが、元々絶縁層5は電流を流すものではないため、キャリアの注入や引出しには何ら影響を生じさせない。

#### 【0031】

しかも、チャンネル長は、有機半導体層3の厚さで定まるため、成膜厚さを制御することにより、所望のチャンネル長に形成することができる。この有機半導体層3の厚さは、ナノメートルオーダーで形成することができ、チャンネル長もそのオーダーで制御することができる。さらに、単純な積層構造で、しかもチャンネル部分は自己整合的に作られるため、製造が簡単で、プロセスコストを大幅に下げることができる。その結果、低い動作電圧で、大きなドレイン電流を得ることができ、高特性のFETが安価に得られる。そのため、電流駆動である有機発光表示装置の駆動素子としても十分に用いることができ、有機EL部と連続的に積層し有機EL表示装置を構成することができる。

#### 【0032】

図1および2に示される構造は、有機半導体層3と第2導電層4とが一部欠落するように成膜され、その側面に絶縁層を介してゲート電極が形成されていたが、必ずしもこの構造でなくても、図3に示されるような変形例の構造にしても同様に、有機半導体層3の厚さをチャンネル長とするFET動作をさせることができる。

#### 【0033】

すなわち、図3(a)に示される構造は、第1導電層2も全面に形成されるのではなく、一部欠落した形状に形成されたもので、この構造にすれば、より一層完全にゲート電極6が有機半導体層3の側面と対向するため、低いゲート電圧でチャンネル領域のオンオフを制御することができる。なお、他の部分は図1に示される例と同じで、同じ部分には同じ符号を付してその説明を省略する。

#### 【0034】

また、図3(b)に示される構造は、逆に有機半導体層も前面に設けられ、第2導電層4のみを一部欠落した状態で形成し、その側面および有機半導体層の露出面に絶縁層5を介してゲート電極6が設けられたものである。この構造でも、第2導電層4の側面近傍の有機半導体層3がチャンネル領域となり、ゲート電極6によりオンオフ制御をすることができる。この例でも、他の部分は図1に示される例と同じで、同じ部分には同じ符号を付してその説明を省略する。この構造にすることにより、駆動素子を何個も並列に形成する場合に第2導電層4のみをパターン形成すればよいため、製造プロセスが簡単になるという利点がある。

#### 【0035】

図4は、本発明による有機半導体素子の他の実施形態を示す図1と同様の断面説明図で、ドレイン電流の注入、引出しをさらに改善したものである。すなわち、有機半導体層3の第1導電層2および第2導電層4との界面に、ソース・ドレイン層（キャリア注入層）3a、3bが形成されたものである。このソース・ドレイン層3a、3bは、ソース・ド



レイン電極 2、4 と有機半導体層 3 との間のエネルギー障壁を小さくする有機半導体層で、有機半導体層 3 とソース・ドレイン電極 2、4 との間のエネルギー障壁が小さくなることにより、キャリアの注入、引出しが容易となり、低い駆動電圧で大きなドレイン電流を得やすくなる。

#### 【0036】

本発明の有機 FET では、有機半導体層 3 の上下両面にソース・ドレイン電極 2、4 が設けられる構造であるため、チャンネル領域の両端側に電流を流しやすくするソース・ドレイン層 3a、3b が設けられることにより、シリコン系の半導体層で、ソース・ドレイン領域を高不純物濃度にして電流を流しやすくするのと同等の効果を得ることができる。すなわち、従来の有機半導体層の一面側にソース・ドレイン電極が設けられる構造では、電流通路が有機半導体層表面側の横方向であるため、チャンネル領域を除いて設けることは困難であると共に、有機半導体層と電極界面にエネルギー障壁を下げる層を設けても、チャンネル側での電流増加には余り寄与しないが、本発明では、有機半導体層の厚さ方向に電流が流れるため、ソース・ドレイン層を設ける効果が大い。

#### 【0037】

ソース・ドレイン層（キャリア注入層）3a、3b としては、たとえば CuPc（銅フタロシアニン）、PANI（ポリアニリン）、PEDOT（ポリ-3、4-エチレンジオキシチオフェン）などを用いることができる。

#### 【0038】

図 5（a）～（c）は、前述の FET を用いた本発明の有機 EL 表示装置の概略構成を示す図である。すなわち、本発明による有機 EL 表示装置は、透明基板 1a 上に透明電極 21 が設けられ、その透明電極 21 上に有機 EL 部 20 が設けられ、その有機 EL 部 20 上に駆動素子  $Tr_1$ 、スイッチング素子  $Tr_2$  およびキャパシタ C が、それぞれ有機 EL 部 20 上に積層して設けられ、この駆動素子  $Tr_1$  が前述の構造の縦型 FET で構成されていることに特徴がある。すなわち、この種の表示装置で、繊細な画像を表示するには、図 5（b）に 1 画素分の等価回路図が示されるように、有機 EL 部 20 が駆動素子  $Tr_1$  を介して電源ライン Vcc とアースとの間に接続され、駆動素子  $Tr_1$  のゲートにスイッチング素子  $Tr_2$  が接続され、ワードライン WL とビットライン BL とでマトリクスが組まれ、各画素を選択できるアクティブ型に構成されている。

#### 【0039】

本発明では、駆動素子  $Tr_1$  として、前述の構造の有機 FET が用いられることにより、フォトリソグラフィ技術を用いなくても、チャンネル長の短い FET を有機半導体で形成することができ、有機 EL 部 20 上に積層して形成することができるようになった。そのため、図 5（c）に 1 画素分の平面説明図が示されるように、画素のほぼ全面を発光部とすることができ、図 5（d）に示される従来のトランジスタ  $Tr$  やキャパシタ CAPA の面積を確保する必要がなく、発光部の面積を従来構造よりも大幅に向上させることができる。

#### 【0040】

基板 1a としては、この基板側から光を取り出すため、透明なガラス基板やプラスチックフィルムが用いられる。また、透明電極 21 は、真空蒸着などにより設けられる ITO（Indium Tin Oxide）、酸化インジウムなどが用いられる。

#### 【0041】

有機 EL 部 20 は、たとえば図 6 に示されるように、正孔輸送層 23、発光層 24、電子輸送層 25、および他方の電極（上面電極）26 が順次積層することにより形成されているが、有機層は、この 3 層構造に制限されるものではなく、少なくとも発光層が形成されていればよく、また、それぞれの層もさらに複層にすることもできる。

#### 【0042】

正孔輸送層 23 は、一般的には発光層 24 への正孔注入性の向上と正孔の安定な輸送向上のため、イオン化エネルギーがある程度小さく、発光層 24 への電子の閉込め（エネルギー障壁）が可能であることが求められており、アミン系の材料、たとえばトリフェニル

ジアミン誘導体、スチリルアミン誘導体、芳香族縮合環をもつアミン誘導体などが用いられ、10～100 nm、好ましくは20～50 nm程度の厚さに設けられる。また、図には示されていないが、正孔輸送層23と陽極電極21との間に正孔注入層を設け、正孔輸送層23へのキャリアの注入性をさらに向上させることも行われる。この場合も、陽極電極21からの正孔の注入性を向上させるため、イオン化エネルギーの整合性のよい材料が用いられ、代表例として、アミン系やフタロシアニン系が用いられる。図6に示される例では、正孔輸送層23として、NPBが35 nmの厚さに設けられている。

#### 【0043】

発光層24としては、発光波長に応じて選択されるが、Alqを母材として有機物蛍光材料をドーピングすることにより、ドーピング材料固有の発光色を得ることができ、また、発光効率や安定性を向上させることができる。このドーピングは、発光材料に対して数重量(wt)%程度(0.1～20 wt%)で行われる。

#### 【0044】

蛍光性物質としては、キナクリドン、ルブレン、スチリル系色素などを用いることができる。また、キノリン誘導体、テトラフェニルブタジエン、アントラセン、ペリレン、コロネン、12-フタロペリノン誘導体、フェニルアントラセン誘導体、テトラアリールエテン誘導体などを用いることができる。また、それ自体で発光が可能なホスト物質と組み合わせて使用することが好ましく、ホスト物質としては、キノリノラト錯体が好ましく、8-キノリノールまたはその誘導体を配位子とするアルミニウム錯体が好ましく、その他に、フェニルアントラセン誘導体やテトラアリールエテン誘導体などを用いることができる。

#### 【0045】

電子輸送層25は、陰極電極26からの電子の注入性を向上させる機能および電子を安定に輸送する機能を有するもので、図6に示される例では、Alq3(トリス(8-キノリノラト)アルミニウム)が25 nm程度の厚さに設けられている。この層が余り厚くなると、発光層ではなくこの層で発光するため、余り厚くはしないで、通常は10～80 nm、好ましくは20～50 nm程度の厚さに設けられる。電子輸送層25としては、上記材料の他に、キノリン誘導体、8-キノリノールないしその誘導体を配位子とする金属錯体、フェニルアントラセン誘導体、テトラアリールエテン誘導体などを用いることができる。この電子輸送層25と陰極電極26との間でギャップが大きい場合には、正孔側と同様に、LiFなどからなる電子注入層26aが設けられる。

#### 【0046】

陰極電極26としては、電子注入性を向上させるため、仕事関数の小さい金属が主に用いられる。代表例としては、Mg、K、Li、Na、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zrなどが一般には用いられる。また、酸化インジウムのような透明膜を用いることもできる。これらの金属の酸化などを防止して安定化させるため、他の金属との合金化をさせることが多く、図6に示される例も、LiF層26aを介してAl層が110 nm程度成膜されることにより、陰極電極26が形成されている。

#### 【0047】

駆動素子Tr<sub>1</sub>は、有機EL部20と直列に接続されているため、チャネル長が長くなると抵抗が増大し、有機EL部20に供給する電流が減少する。そのため、チャネル長の短いFETであることが好ましく、前述の図1または図3に示される構造の縦型有機FETが使用される。このFETは、縦型であるため、図1または図3に示されるソース・ドレイン電極としての第1導電層2および前述の図6に示される有機EL部20の電極26がなくとも、有機EL部20に直接電流が流れ、発光させることができる。しかし、両者の電極を共用した第1導電層が設けられることにより、駆動素子Tr<sub>1</sub>を通過した電流が第1導電層により全面に拡散されるため、有機EL部20の全体に電流を供給することができ、広い面積での発光には好ましい。

#### 【0048】

一方、スイッチング素子Tr<sub>2</sub>は、それほど電流を必要としないため、前述の図1ま



たは図3に示される構造の有機FETを使用してもよいが、この構造でなくて、従来の横型構造のFETを、シャドウマスクを用いて形成してもよい。キャパシタCは、駆動素子がオンの状態を一定時間保持するためのもので、データを保持し得る容量に形成される。

#### 【0049】

つぎに、具体的な構造例でさらに詳細に説明をする。図7は、駆動素子 $Tr_1$ およびスイッチング素子 $Tr_2$ の両方共に前述の縦型構造の有機FETを使用した例である。すなわち、たとえばガラスなどの透明基板1a上に、たとえばITOからなる透明電極21が形成され、前述の図6に示される構造の有機EL部20が積層されている。そして、その表面に、有機EL部の上部電極および駆動素子のソース・ドレイン電極の一方と共用する第1導電層2が形成されている。なお、前述のように、この第1導電層2はなくてもよい。その表面の駆動素子領域Aに有機半導体層3が積層され、さらにその表面に部分的に（図7では2カ所）ソース・ドレイン電極の他方とする第2導電層4が設けられ、その表面全体にゲート絶縁膜とする第1絶縁層5が、さらにその表面にゲート電極とする第3導電層6が、それぞれ設けられることにより、前述の構造の有機FETが駆動素子 $Tr_1$ として形成されている。

#### 【0050】

スイッチング素子領域Bでは、第3導電層6をソース・ドレイン電極の一方とし、その表面にスイッチング素子用の第2有機半導体層7が積層され、その表面に部分的にソース・ドレイン電極の他方とする第4導電層8が設けられ、その表面および駆動素子領域Aの第3導電層6上に、スイッチング素子用ゲート絶縁膜およびキャパシタ用の絶縁膜とする第2絶縁層9が設けられている。そして、スイッチング素子領域Bにおける第2絶縁層9上にスイッチング素子用ゲート電極とする第5導電層10が、また、駆動素子領域Aにおける第2絶縁層上にキャパシタ電極とする第6導電層11が同じ材料で同時に形成されている。そして、この表面に保護膜19が形成されることにより、図5(a)に概略図で示された構造の有機発光表示装置が得られる。

#### 【0051】

この構造で、第2導電層4の側端部と第1導電層2とが対向する部分Dの第1有機半導体層3に駆動素子 $Tr_1$ のチャネル領域が形成され、チャネルがオンするときは、Dの部分で縦方向に電流が流れ、その下の有機EL部20に電流を流して、発光する。そのため、第2導電層4の幅はできるだけ小さくして、数多く形成した方がチャネル領域の数を増やすことができ、チャネル幅を大きくして電流を多く流しやすいため好ましい。なお、紙面と垂直方向には、帯状に第2導電層4が連続的に形成されてもよいし、幅方向と同程度の寸法で分割して形成されてもよい。

#### 【0052】

図7に示される例では、第2導電層4が2個形成されているが、たとえば1画素の大きさが $300\mu m \times 300\mu m$ の表示装置を構成する場合、1画素をR、G、Bの3色で構成すると、1画素のR、G、Bそれぞれの大きさは、 $100\mu m \times 300\mu m$ となり、もっと数多くの第2導電層4を形成することができる（ $300\mu m$ 方向には帯状に連続して形成される）。

#### 【0053】

なお、図7に示される例では、スイッチング素子 $Tr_2$ の下側には駆動素子 $Tr_1$ が形成されていないが、第3導電層6は駆動素子 $Tr_1$ の最上面であるため、若干高さは高くなるが、駆動素子 $Tr_1$ が形成された上にスイッチング素子 $Tr_2$ を形成することができ、図7に示されるように、駆動素子領域Aとスイッチング素子領域Bとが平面的に分離される必要はない。

#### 【0054】

また、図7に示される例では、第1有機半導体層3および第1導電層2が駆動素子領域のほぼ全面に設けられる構造（図3(b)に示される構造）であるが、前述の図1または図3(a)に示される構造でも縦型FETを形成することができ、第1有機半導体層3または第1導電層2も第2導電層4のパターンに合わせて形成することができる。

#### 【0055】

さらに、図7に示される例では、スイッチング素子 $T_{r2}$ も縦型構造のFETであり、駆動素子 $T_{r1}$ の例と同様に、第4導電層8の側端部近傍の第2有機半導体層7にチャンネル領域が形成されるが、このスイッチング素子 $T_{r2}$ は、それほど電流を必要とせず、第4導電層8は1個形成されればよく、その後ろ側（紙面と垂直方向）には駆動素子を形成することができる。このように、駆動素子 $T_{r1}$ が画素のほぼ全面に形成されれば、駆動素子 $T_{r1}$ から直接有機EL部20のほぼ全面に電流を供給することができるため、第1導電層2がなくても動作に支障を来さない。

#### 【0056】

図8は、スイッチング素子 $T_{r2}$ を前述の縦型構造のFETではなく、従来の横型構造のFETで構成した例である。スイッチング素子 $T_{r2}$ は、電流量をそれほど必要としないため、チャンネル長が短くなくてもそれほど問題は生じない。そのため、シャドウマスクを用いた従来構造のFETでも支障はない。図8に示される例は、第1導電層2までは、図7に示される例と同じで、第1導電層2の形成後に、スイッチング素子領域Bに第3絶縁層12が設けられ、第3絶縁層12および駆動素子領域Aの第1導電層2上に、駆動素子およびスイッチング素子用の第1有機半導体層3が積層され、その上に駆動素子領域Aでは、前述と同様に第2導電層4が、スイッチング素子領域Bでは、第2導電層と同じ材料で、同時にスイッチング素子用ソース・ドレイン電極とする第7および第8の導電層13、14が所定間隔だけ離して形成されている。

#### 【0057】

そして、スイッチング素子用ソース・ドレイン電極の一方である、たとえば第8導電層14の一部が露出するように、絶縁膜が成膜され、駆動素子用ゲート絶縁膜とする第1絶縁層5およびスイッチング素子用ゲート絶縁膜とする第4絶縁層15が設けられている。なお、第1絶縁層5と第4絶縁層15とは連続して形成されていてもよいが、第8導電層14の一部は露出するように形成される。そして、駆動素子領域Aの第1絶縁層5上に駆動素子用ゲート電極とする第3導電層6が第8導電層14とコンタクトするように設けられ、スイッチング素子領域Bの第4絶縁層15上のソース・ドレイン電極13、14間にスイッチング素子用ゲート電極とする第5導電層10が設けられている。駆動素子領域Aの第3導電層6上にさらに第2絶縁層9を介してキャパシタの電極とする第6導電層11が設けられることにより、有機発光表示装置が形成されている。なお、図8で、図7と対応する部分には図7と同じ符号を付した。

#### 【0058】

この構造では、駆動素子側は、図7に示される構造と同じであるが、スイッチング素子側のFETが横型で形成されているため、両素子の有機半導体層が第1有機半導体層3の1層で同時に形成されていることに特徴がある。ただし、前述の図7に示される構造では、駆動素子のゲート電極とスイッチング素子のソース・ドレイン電極の一方とが同じ第3導電層6で同時に形成されたが、図8に示される構造では、スイッチング素子 $T_{r2}$ のソース・ドレイン電極13、14の両方が、駆動素子 $T_{r1}$ のソース・ドレイン電極の他方4と同時に形成されるため、駆動素子のゲート電極6がスイッチング素子のソース・ドレイン電極の他方14とコンタクトするように形成されている。この構造によれば、キーとなる両素子の有機半導体層3を同じ層で同時に形成することができること、および製造工程を減らすことができるという利点がある。

#### 【0059】

図8に示される例では、駆動素子用有機半導体層およびスイッチング素子用有機半導体層を1層で連続するように形成されていたが、分離するように形成されてよい。しかし、同時に同じ材料で形成することができ、1工程で形成することができる。また、図8に示される構造では、スイッチング素子用ソース・ドレイン電極とする第7および第8導電層13、14が第1有機半導体層3上側に形成されていたが、有機半導体層3の下側に形成することもできるし、また、ソース・ドレイン電極とする第7および第8導電層13、14は有機半導体層3の上側で、ゲート電極とする第5導電層10を有機半導体層3の下側

に形成することもできる。

#### 【0060】

図7および8に示されるように、本発明による有機EL表示装置によれば、有機EL部上に駆動素子用FETが設けられているため、有機EL部と駆動素子との接続部における両者の電極を共用したり、両者の電極共に省略することができる。さらに、キャパシタも駆動素子のゲート電極上に形成されているため、両者の電極を共用することができる。また、スイッチング素子も駆動素子のゲート電極上に積層して形成されるか、駆動素子の各層と同時に形成されるため、単純に積層していくだけでアクティブマトリクス型有機発光表示装置が得られる。

#### 【0061】

しかも、駆動素子、スイッチング素子およびキャパシタの全てが、有機EL部上に形成されているため、駆動素子などにより表示部の面積が減らされることがなく、非常に開口率を向上させることができる。また、有機EL部が発光面側のITO電極上に先に形成されるため、透明電極の抵抗を十分に下げることができ、発光効率を向上させることができる。

#### 【図面の簡単な説明】

#### 【0062】

【図1】 本発明による有機半導体素子の一実施形態を示す断面構造の説明図である。

【図2】 図1に示される有機半導体素子の製造工程を示す図である。

【図3】 本発明による有機半導体素子の他の実施形態を示す断面説明図である。

【図4】 本発明による有機半導体素子のさらに他の実施形態を示す断面説明図である。

【図5】 本発明による有機EL表示装置の一実施形態の概要構成を説明する図である。

【図6】 図1の有機EL部の構成例を説明する図である。

【図7】 本発明による有機EL表示装置の具体的構成例を示す断面説明図である。

【図8】 本発明による有機EL表示装置の具体的構成例を示す断面説明図である。

【図9】 従来の有機半導体素子の断面説明図である。

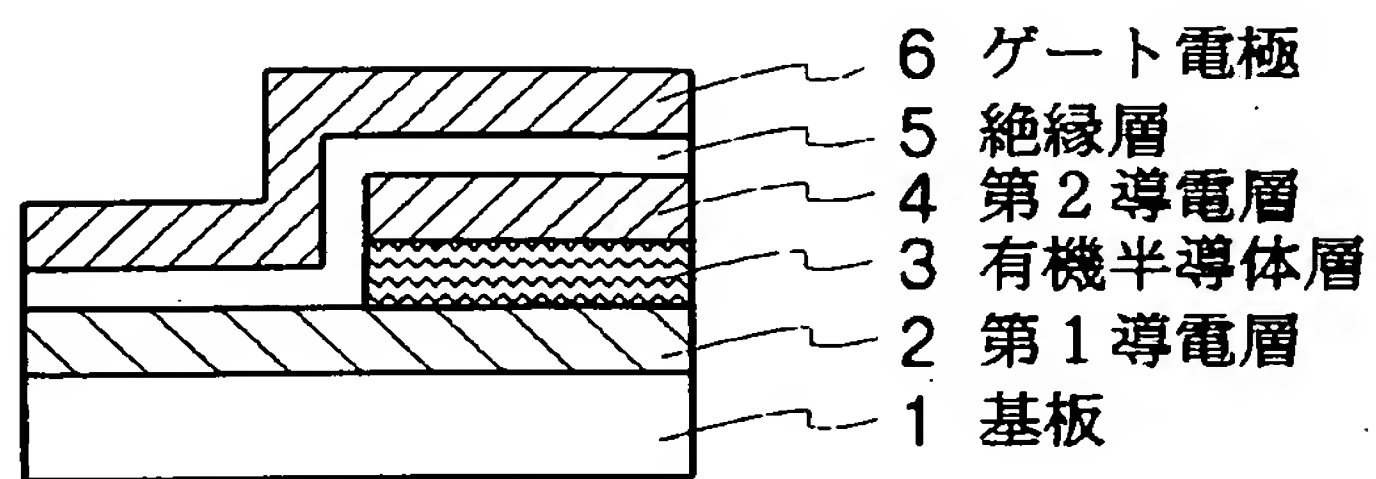
#### 【符号の説明】

#### 【0063】

- |    |                  |
|----|------------------|
| 1  | 基板               |
| 2  | 第1導電層            |
| 3  | 有機半導体層（第1有機半導体層） |
| 4  | 第2導電層            |
| 5  | 絶縁層（第1絶縁層）       |
| 6  | ゲート電極（第3導電層）     |
| 7  | 第2有機半導体層         |
| 8  | 第4導電層            |
| 9  | 第2絶縁層            |
| 10 | 第5導電層            |
| 11 | 第6導電層            |
| 12 | 第3絶縁層            |
| 13 | 第7導電層            |
| 14 | 第8導電層            |
| 15 | 第4絶縁層            |

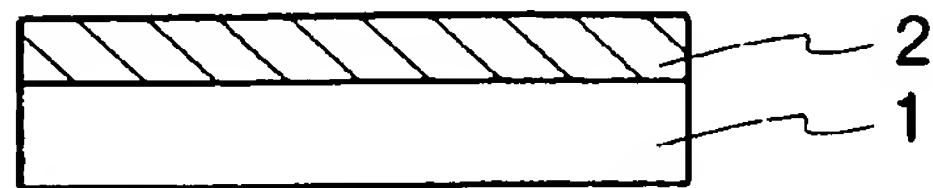
【書類名】 図面

【図 1】

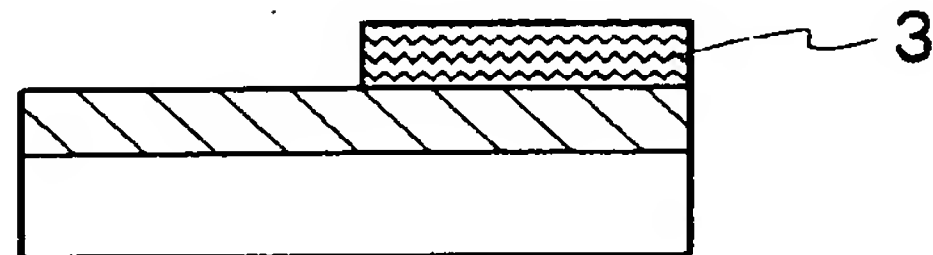


【図 2】

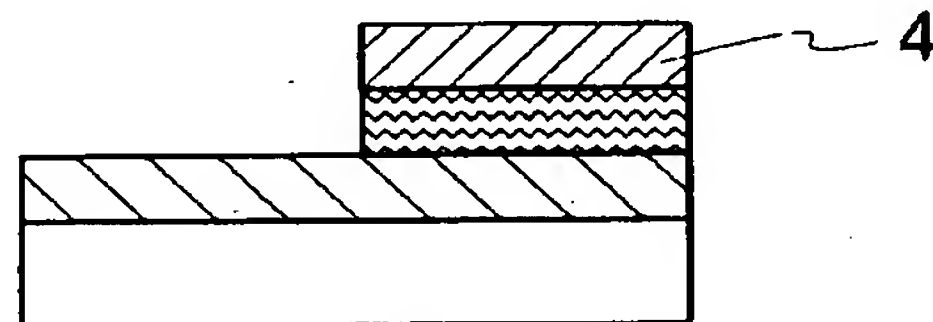
(a)



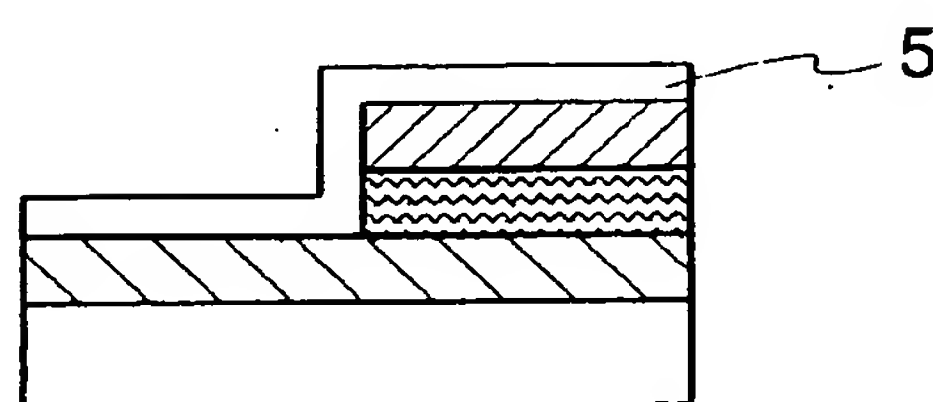
(b)



(c)

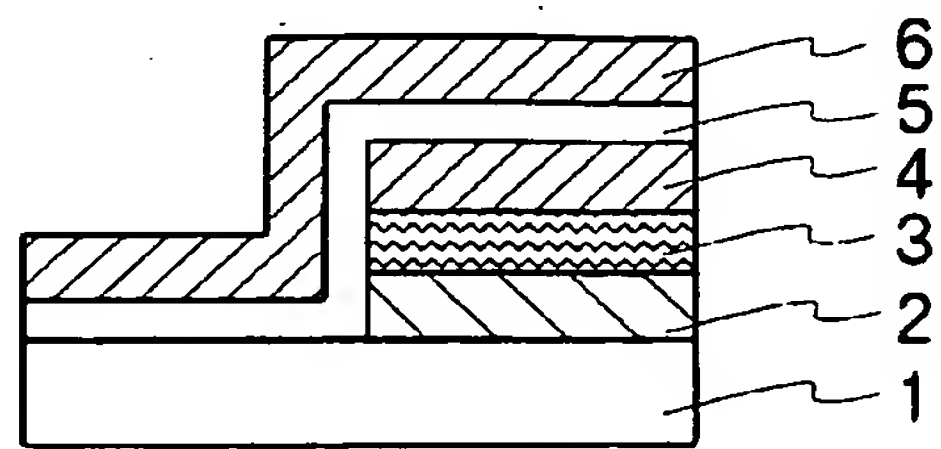


(d)

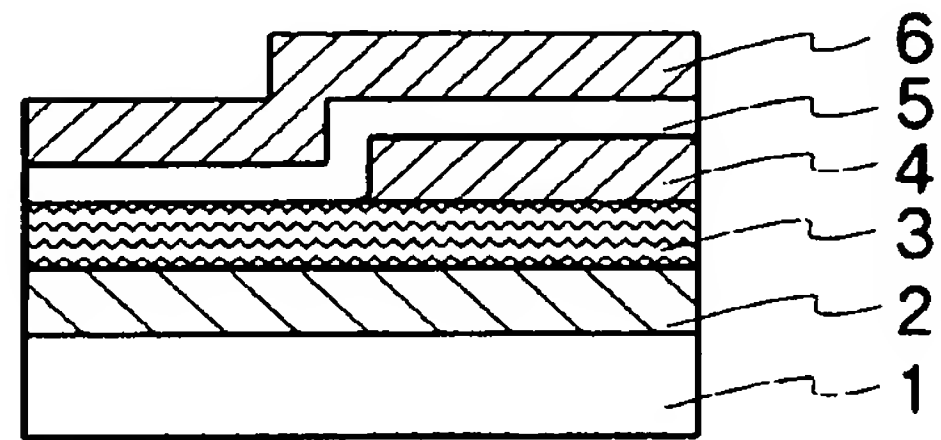


【図 3】

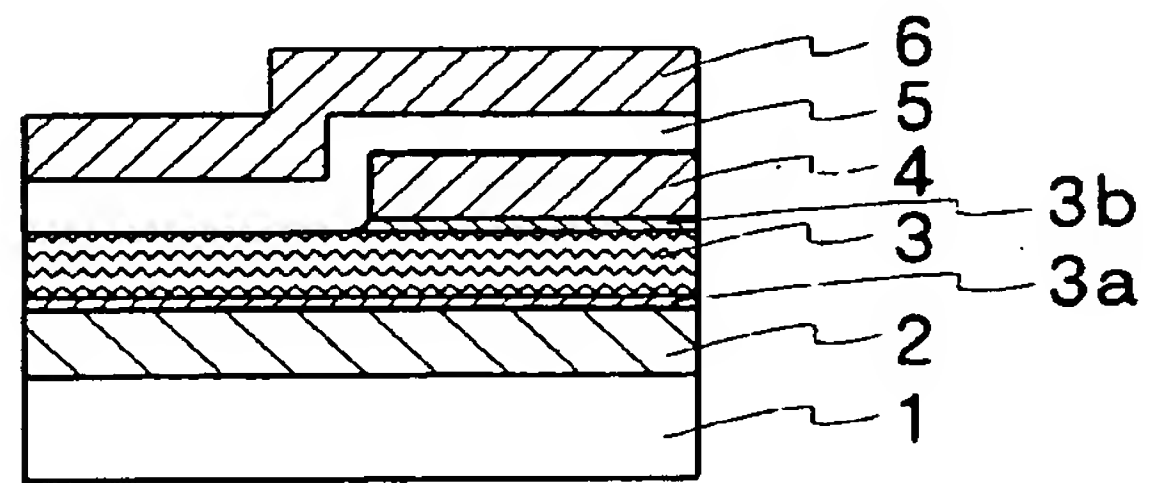
(a)



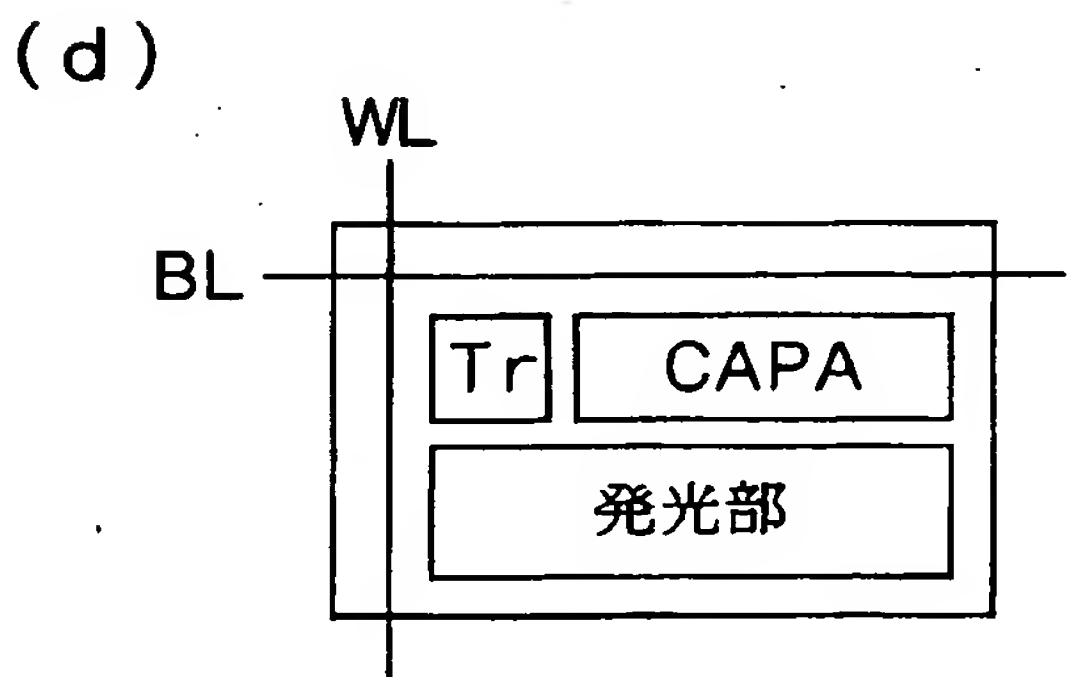
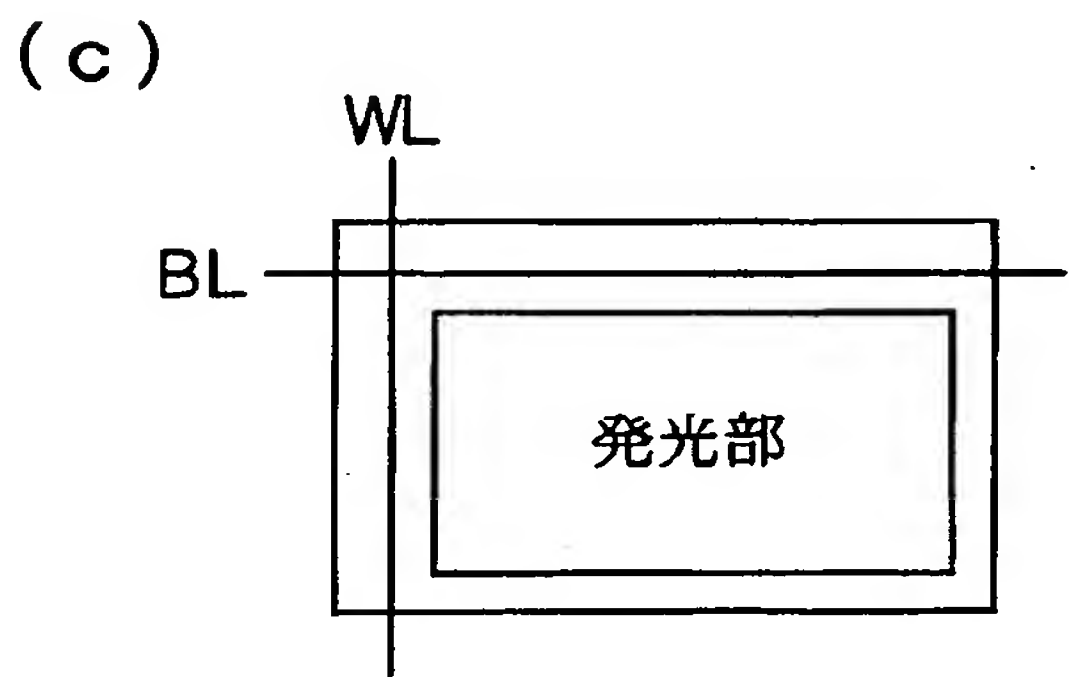
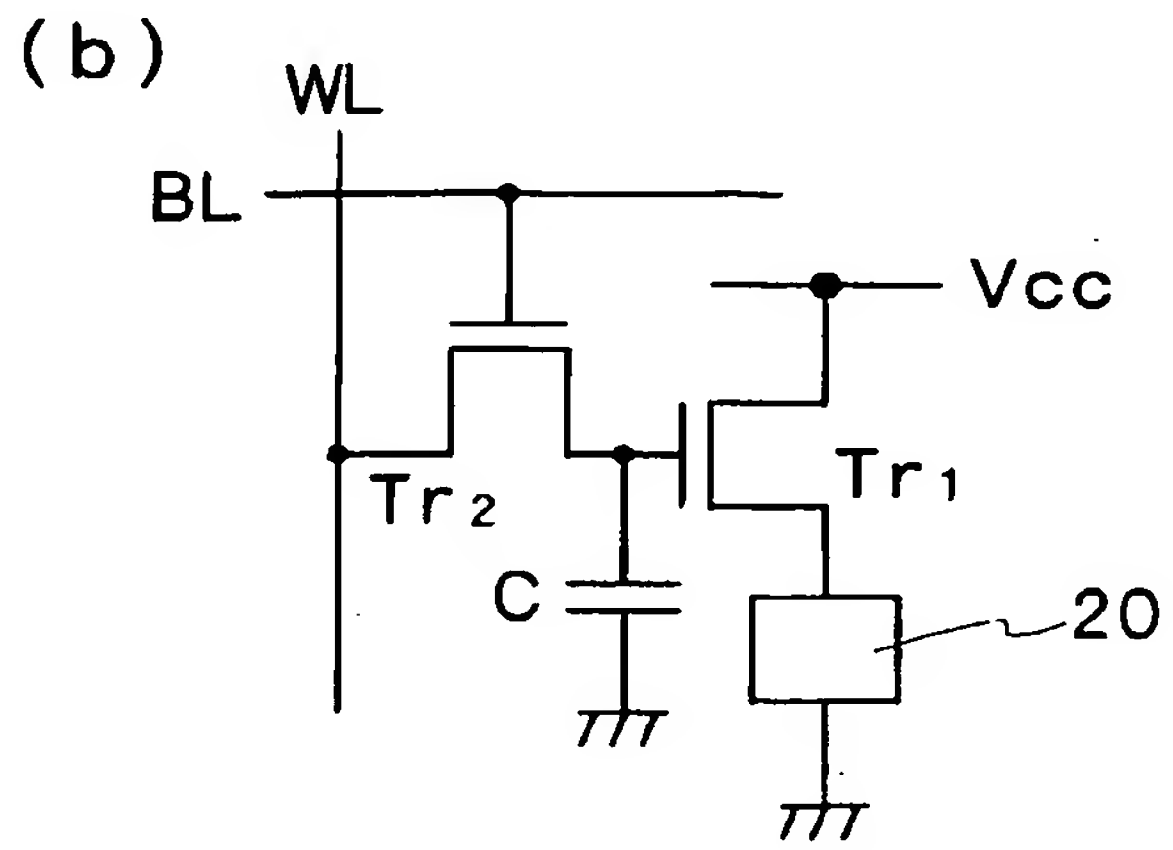
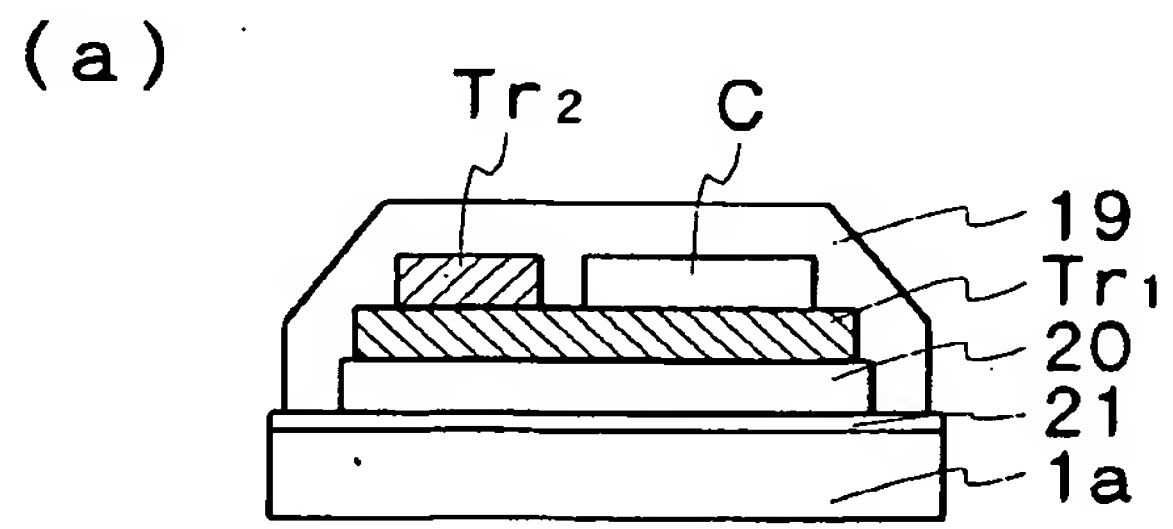
(b)



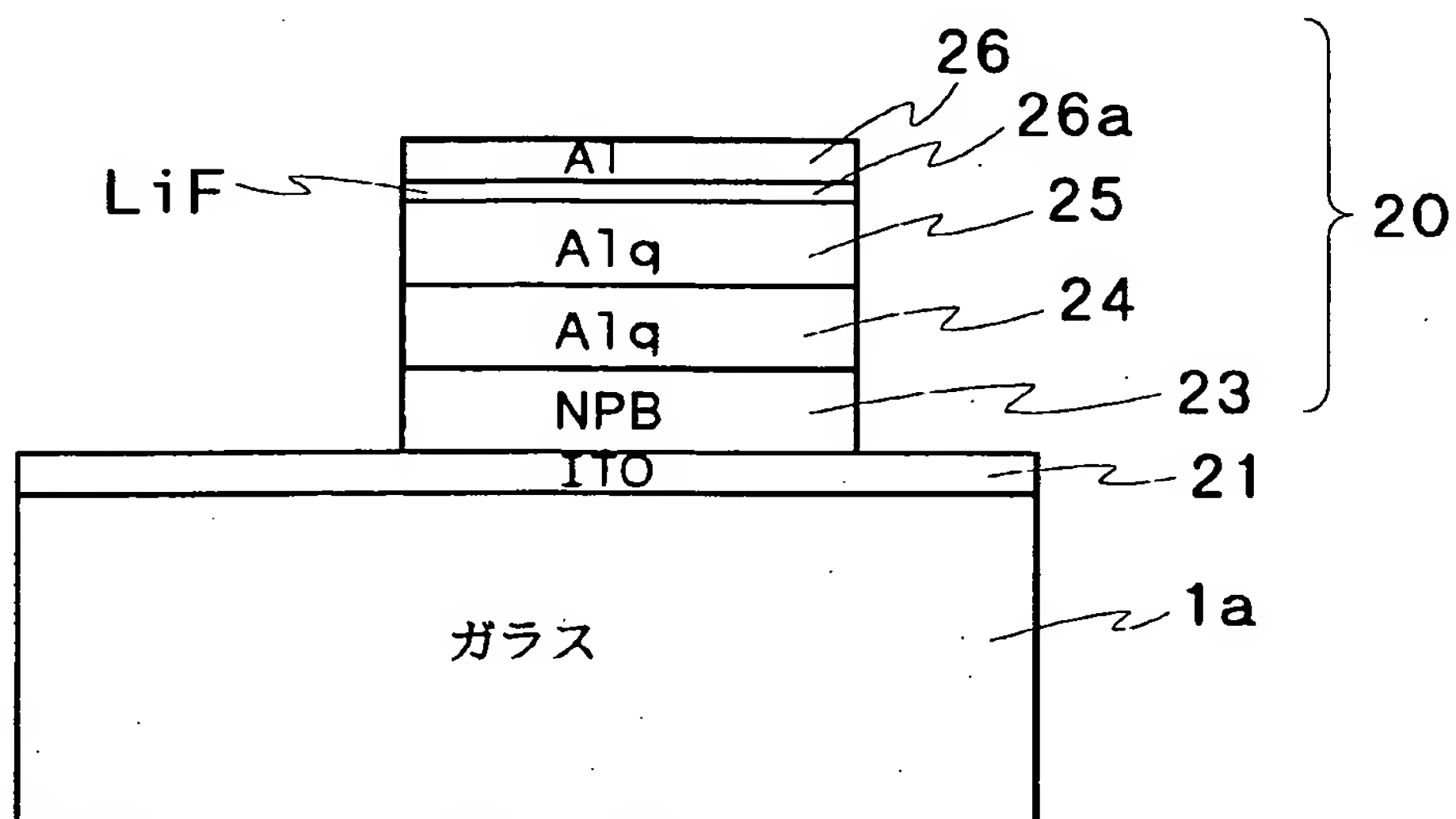
【図 4】



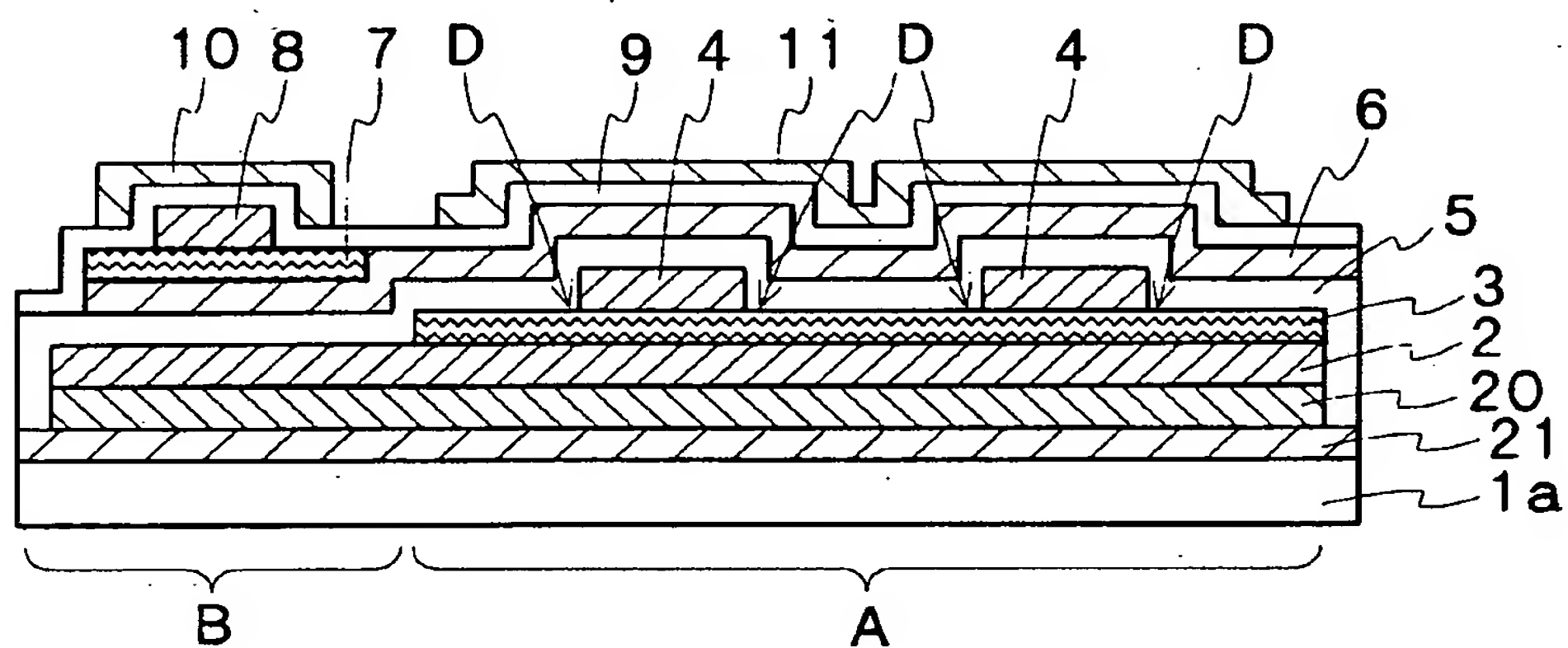




【図 6】

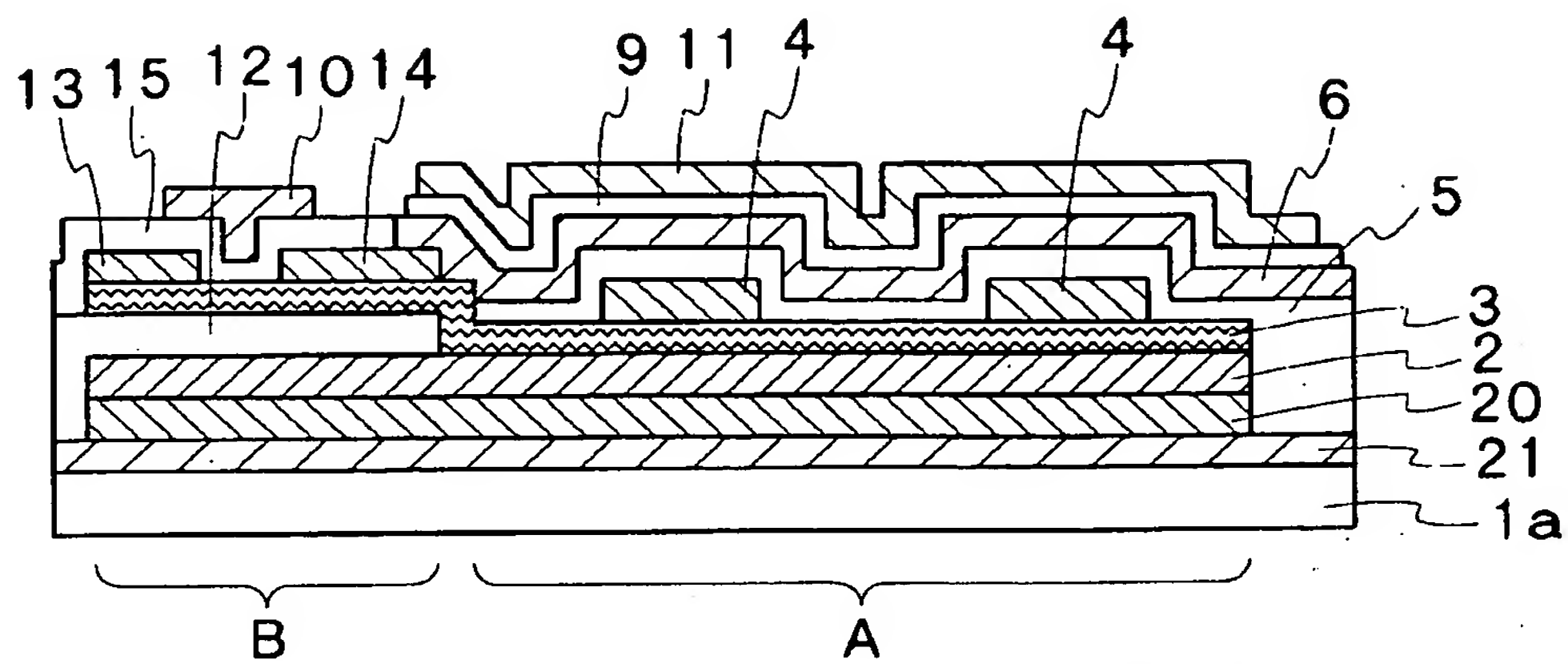


【図 7】



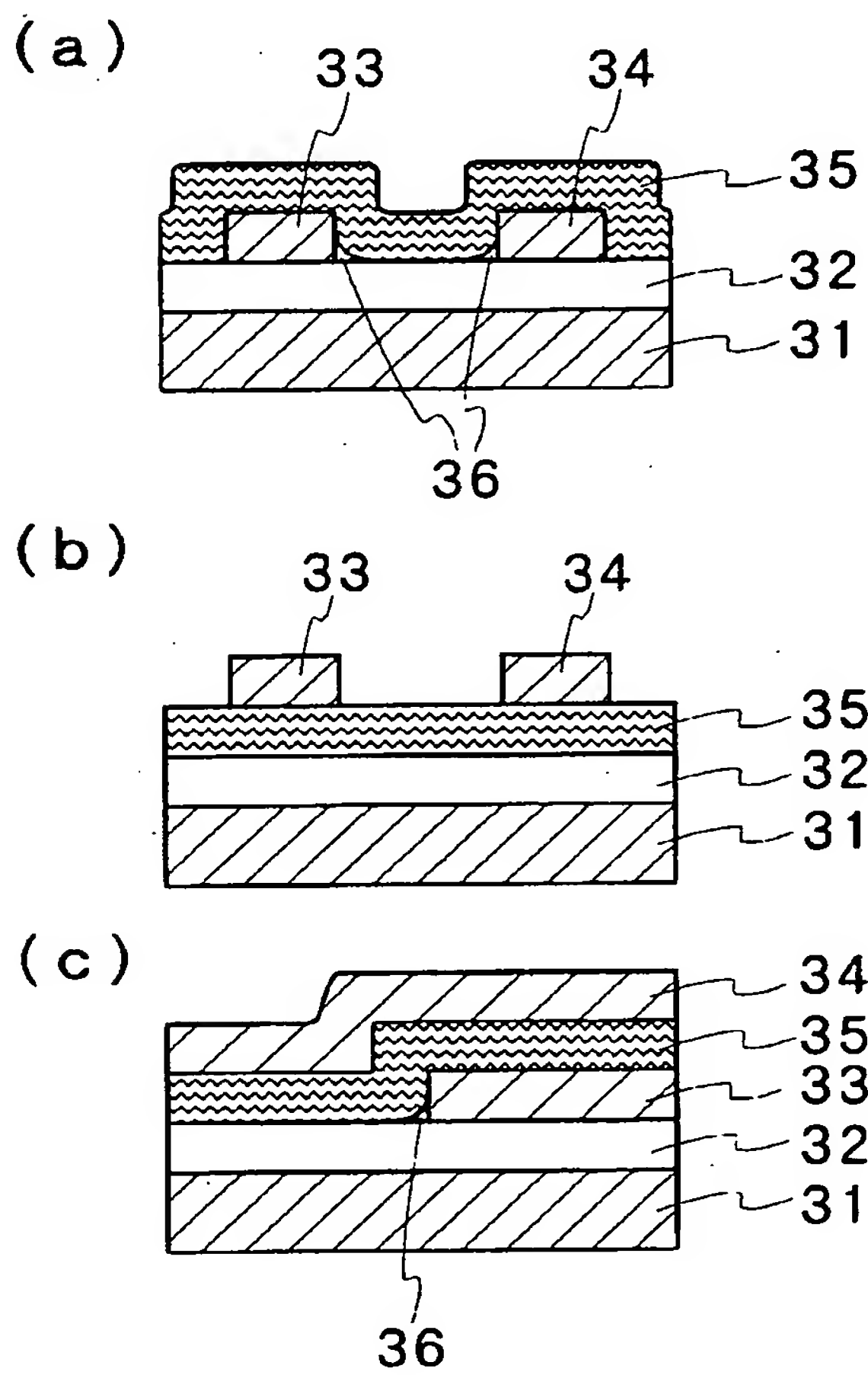
- |   |          |    |          |
|---|----------|----|----------|
| 2 | 第1導電層    | 7  | 第2有機半導体層 |
| 3 | 第1有機半導体層 | 8  | 第4導電層    |
| 4 | 第2導電層    | 9  | 第2絶縁層    |
| 5 | 第1絶縁層    | 10 | 第5導電層    |
| 6 | 第3導電層    | 11 | 第6導電層    |

【図 8】



1 2	第 3 絶縁層	1 4	第 8 導電層
1 3	第 7 導電層	1 5	第 4 絶縁層

【図 9】



From the INTERNATIONAL BUREAU

**PCT**NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

KAWAMURA, Kiyoshi  
KAWAMURA & CO. Shinei Bldg. 6E, 5-1, Nishinakajima  
4-chome, Yodogawa-ku Osaka-shi, Osaka  
5320011  
JAPON

Date of mailing (day/month/year) 10 May 2005 (10.05.2005)	
Applicant's or agent's file reference 02-00437WO1	IMPORTANT NOTIFICATION
International application No. PCT/JP05/004818	International filing date (day/month/year) 17 March 2005 (17.03.2005)
International publication date (day/month/year)	Priority date (day/month/year) 22 March 2004 (22.03.2004)
Applicant ROHM CO., LTD et al	

1. By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. (If applicable) The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
3. (If applicable) An asterisk (\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

Priority date	Priority application No.	Country or regional Office or PCT receiving Office	Date of receipt of priority document
22 March 2004 (22.03.2004)	2004-083309	JP	28 April 2005 (28.04.2005)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland  Facsimile No. +41 22 740 14 35	Authorized officer  Hammouda Abdessalem  Facsimile No. +41 22 338 90 90 Telephone No. +41 22 338 7119
---	--